



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09289297 A**(43) Date of publication of application: **04 . 11 . 97**

(51) Int. Cl.

H01L 27/108
H01L 21/8242
G11C 11/22
H01L 27/04
H01L 21/822

(21) Application number: **09032170**(22) Date of filing: **17 . 02 . 97**(30) Priority: **22 . 02 . 96 JP 08 34867**

(71) Applicant:

TOSHIBA CORP

(72) Inventor:

ABE KAZUHIDE
KOMATSU SHUICHI
KAWAKUBO TAKASHI

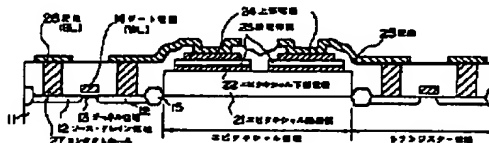
(54) **SEMICONDUCTOR STORAGE DEVICE**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the area of a memory cell by forming a capacitor which has a perovskite type structure of dielectric film on the epitaxial regions made continuously in the direction of the line or row of a memory cell array, and making lower electrodes double as the plate electrodes of plural capacitors.

SOLUTION: An oxide 21 such as MgO, or the like is epitaxially grown on an Si substrate 11, and a kind of noble metal of film such as Pt or the like is epitaxially grown as a lower electrode 22. Then, for example, a BaTiO₃ film 23 is epitaxially grown as a perovskite type oxide on the lower electrode 22. Hereby, a highly reliable memory cell excellent in dielectric property of a capacitor and little in dispersion can be manufactured. Moreover, the lower electrode 22 can be epitaxially grown with good adhesion with the base. Then, since this is adopting a structure of forming plural capacitors in one epitaxial region, the area of a memory cell per bit can be made small.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-289297

(43) 公開日 平成9年(1997)11月4日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 5 1
21/8242			G 1 1 C 11/22	
G 1 1 C 11/22			H 0 1 L 27/04	C
H 0 1 L 27/04				
21/822				

審査請求 未請求 請求項の数 5 O L (全 11 頁)

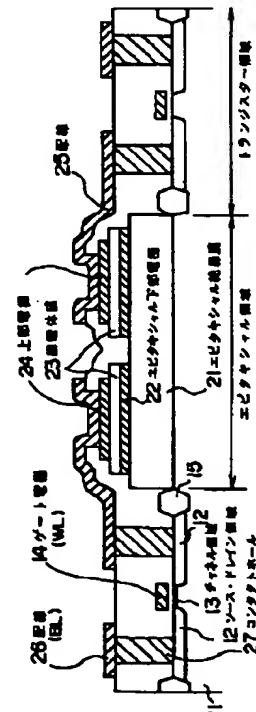
(21) 出願番号	特願平9-32170	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成9年(1997)2月17日	(72) 発明者	阿部 和秀 神奈川県川崎市幸区柳町70番地 株式会社 東芝柳町工場内
(31) 優先権主張番号	特願平8-34867	(72) 発明者	小松 周一 神奈川県川崎市幸区柳町70番地 株式会社 東芝柳町工場内
(32) 優先日	平8(1996)2月22日	(72) 発明者	川久保 隆 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 ペロブスカイト型酸化物をキャパシタ誘電体として用いた構造で、1ビット当たりのメモリセルの面積を小さくすることができ、かつ下部電極に接してバリア層や接着層を設ける必要をなくす。

【解決手段】 Si基板11上に、トランジスタとキャパシタから構成されるメモリセルを、マトリクス状に配列したメモリセルアレイを有するFRAMにおいて、基板11上にMgO絶縁膜からなるエピタキシャル領域21をアレイの列方向に連続的に形成し、このエピタキシャル領域上にエピタキシャル成長したPtの下部電極22、エピタキシャル成長したペロブスカイト型構造のBaTiO₃膜23、及びPtの上部電極24からなるキャパシタを形成してなり、下部電極22が複数のキャパシタのプレート電極を兼ねる。



【特許請求の範囲】

【請求項1】半導体基板上に、トランジスタとキャパシタから構成されるメモリセルを、マトリクス状に配列したメモリセルアレイを有する半導体記憶装置において、前記基板上にエピタキシャル領域が前記アレイの行方向或いは列方向に連続的に形成され、このエピタキシャル領域上にエピタキシャル成長した下部電極、エピタキシャル成長したペロブスカイト型構造の誘電体膜、及び上部電極からなるキャパシタが形成されてなり、前記下部電極が複数のキャパシタのプレート電極を兼ねることを特徴とする半導体記憶装置。

【請求項2】前記エピタキシャル領域が絶縁体からなり、かつこの領域上には、隣り合ったメモリセルのキャパシタを含む複数のキャパシタが形成されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】半導体基板上に、トランジスタとキャパシタから構成されるメモリセルを、マトリクス状に配列したメモリセルアレイを有する半導体記憶装置において、前記基板上に前記アレイの行方向或いは列方向に連続的にエピタキシャル成長されたバリア層と、このバリア層上にエピタキシャル成長された下部電極と、この下部電極上にエピタキシャル成長されたペロブスカイト型構造の誘電体膜と、この誘電体膜上に形成された上部電極とを具備してなり、前記下部電極が複数のキャパシタのプレート電極を兼ねることを特徴とする半導体記憶装置。

【請求項4】前記基板上にp型或いはn型の拡散層が前記アレイの行方向或いは列方向に連続的に形成され、この拡散層上に前記バリア層、下部電極、誘電体膜、及び上部電極が形成されてなることを特徴とする請求項3記載の半導体記憶装置。

【請求項5】前記バリア層はTiAlNからなり、前記下部電極はPt又はSrRuO₃からなることを特徴とする請求項3記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係わり、特にペロブスカイト構造の誘電体からなるキャパシタを用いた半導体記憶装置に関する。

【0002】

【従来の技術】近年、ペロブスカイト型の結晶構造を持つ高誘電率の膜や強誘電体の膜を、半導体メモリに応用しようとする試みが盛んに行われている。ダイナミック型のランダムアクセスメモリ(DRAM)においては、1つのメモリセルが1つのトランジスタと1つのキャパシタから構成されている。DRAMの集積度が64Mビットから256Mビット、256Mビットから1Gビットと向上するに連れて、1ビットのメモリセル当たりの面積を次第に小さくする必要があるにも拘らず、キャパシタの容量は殆ど変化していない。このため、容量を減少させることなく、メモリセルキャパシタが占める面積

をいかに小さくすることができるかが、技術的には最も大きな問題の一つとなってきた。

【0003】従来使用されている酸化シリコン(SiO₂)などの代わりに、誘電率が高いペロブスカイト型酸化物(SrTiO₃:STO, Ba_xSr_{1-x}TiO₃:BSTなど)をキャパシタの誘電体として利用することができれば、キャパシタの面積を小型化することができる。

【0004】強誘電体ランダムアクセスメモリ(FRAM)においては、1つのメモリセルが2つのトランジスタと2つの強誘電体キャパシタから構成されている。原理的には1つのトランジスタと1つの強誘電体キャパシタによって構成することが可能であり、将来の大容量メモリにおいてはこのような構成になるものと予想されている。強誘電体には電界をゼロにしても蓄積した電荷はゼロにならないという性質があるので、この性質を利用して不揮発性のメモリを実現することができる。強誘電体材料としては、ペロブスカイト型酸化物のPb(Zr_xTi_{1-x})O₃:PZTなどが用いられている。

【0005】上述したように、DRAM, FRAM共に、1ビットのメモリセルがトランジスタとキャパシタから構成され、誘電体としてペロブスカイト型酸化物を用いるという点では大変に良く似た半導体メモリであるということができる。

【0006】一般に、ペロブスカイト型酸化物の誘電特性は、結晶の微細構造に敏感であり、粒径が小さいほど誘電性は劣る傾向がある。このため、優れた誘電特性を得るには単結晶に近いエピタキシャル膜を用いることが望ましい。高誘電率のペロブスカイト型酸化物を下部電極材料の上にエピタキシャル成長させた場合には、多結晶膜と比較して大きな誘電率が得られる。また、強誘電体のペロブスカイト酸化物をエピタキシャル成長させた場合、多結晶膜と比べて大きな残留分極が得られる。

【0007】また最近、下部電極との間の格子定数の不整合を利用して誘電体膜に歪みを導入すれば、キュリー温度を高温側にシフトさせることが可能であり、誘電率や残留分極を大きくすることが可能であることを本発明者らは見出している。しかしながら、SiやGaAsなどの半導体基板上に、直接ペロブスカイト型酸化物をエピタキシャル成長させることは困難である。従って、まず半導体基板上にバッファ層をエピタキシャル成長させ、その上に下部電極、さらに誘電体の膜を順にエピタキシャル成長させることが望ましい。

【0008】ペロブスカイト型酸化物からなる誘電体の下部電極材料として、一般に白金、パラジウム、ルテニウム、イリジウムなどの貴金属類が用いられることが多い。その理由は、ペロブスカイト型酸化物の高誘電率や強誘電性を得るためには高温の熱処理が必要であるが、通常の金属(例えばAlなど)では、このような熱処理の間に融解したり酸化したりしてしまうためである。貴

金属類は他の金属と比較して、融点が高く酸化しにくく、またペロブスカイト型酸化物と反応も起こしにくいという特徴がある。

【0009】ところで、エピタキシャル成長したペロブスカイト型酸化物薄膜の優れた誘電特性や強誘電特性を、半導体メモリに利用するに際しては次のような解決すべき問題がある。以下、これらの問題を簡単に説明する。

【0010】ペロブスカイト型酸化物を半導体基板上にエピタキシャル成長させる方法の一つとして、トランジスタを形成するための領域とは別に、キャパシタを作製するためのエピタキシャル領域を設けるという方法が考えられる。このエピタキシャル領域では、Si基板上にまず絶縁体をエピタキシャル成長させ、次に下部電極をエピタキシャル成長させ、さらにペロブスカイト型酸化物の誘電体膜をエピタキシャル成長させ、その上に上部電極を設ければ良いと考えられる。

【0011】しかしながらこの場合、トランジスタ領域とは別の領域に、キャパシタ専用のエピタキシャル領域を設けなければならないために、集積度の高いメモリを実現するためには、できるだけ面積的に無駄の少ないキャパシタ構造を採用しなければならないという課題がある。

【0012】またキャパシタの下部電極を、何等かの方法でトランジスタに電氣的に接続するか、プレート或いはプレート線と呼ばれる配線などに電氣的に接続する必要がある。キャパシタの下部電極として用いる導電体を、同時にこのような接続のための配線として兼用することが、プロセスを簡素化する上で望ましい。

【0013】しかしながら、下部電極がトランジスタに接続する配線を兼ねる場合には、貴金属類からなる下部電極と、コンタクトに埋めこまれた多結晶Siなどが反応しないような配慮が必要である。Siとの反応を防ぐためにはTiNなどのバリア層を設ける必要があるが、多結晶のTiNは酸化しやすいという問題がある。従って、貴金属類の粒界を酸素が拡散して、バリア層の金属を酸化し表面の平滑性が失われたり導電性が失われる恐れがある。

【0014】また、下部電極がプレート或いはプレート線としての配線を兼ねる場合には、個々のメモリセル領域に対応するエピタキシャル領域間に存在し、かつ該エピタキシャル領域を分離するSiO₂絶縁膜の領域において、貴金属類からなる配線をSiO₂絶縁膜上にも配置しなければならない。貴金属類を直接SiO₂上に形成すると非常に密着性が悪く剥がれ易いという欠点がある。従って、貴金属類とSiO₂の密着性を良くするために、間に接着層としてTiやTaなどを設ける必要がある。

【0015】しかしながらこのような接着層を設けた場合、SiO₂の上では接着層及び貴金属下部電極が多結

晶膜として形成されるために、貴金属類の粒界を酸素が拡散して、接着層の金属を酸化し表面の平滑性が失われる恐れがある。また、逆にTiなどの接着層が貴金属の粒界を表面まで拡散し、表面の状態が変化する恐れもある。

【0016】一方、かかるプレートを兼ねる場合において、エピタキシャル領域では、特にTi層などの接着層を設ける必要がなく、直接貴金属類をエピタキシャル成長させても、十分な密着強度が得られる。この場合、かえって接着層の存在がエピタキシャル成長の妨げになる可能性が高いという問題がある。例えば、接着層の金属が貴金属層を拡散して表面に現れ、誘電体と下部電極の界面に低誘電率の層を形成するといった問題を発生する恐れがある。

【0017】

【発明が解決しようとする課題】このように従来、ペロブスカイト型酸化物からなる誘電体膜をメモリセルのキャパシタとして用いる場合、キャパシタ専用のエピタキシャル領域を設ける必要があり、メモリセル面積の増大を招く。

【0018】また、下部電極がトランジスタや他の素子などに接続する配線を兼ねる場合には、貴金属類からなる下部電極とSiなどの反応を防ぐためにTiNなどのバリア層を設ける必要があり、バリア層の金属が酸化されて表面の平滑性が失われたり導電性が失われる。さらに、下部電極がプレート或いはプレート線としての配線を兼ねる場合には、下部電極以外の領域では貴金属類とSiO₂の密着性を良くするために接着層としてTiやTaなどを設ける必要があり、接着層の金属が酸化されて表面の平滑性が失われる。逆に、エピタキシャル領域においては、接着層の存在がエピタキシャル成長の妨げになり、誘電体と下部電極との界面に低誘電率の層が形成される等の問題がある。

【0019】本発明は、上記事情を考慮して成されたもので、その目的とするところは、ペロブスカイト型酸化物をキャパシタ誘電体として用いた構造で、1ビット当たりのメモリセルの面積を小さくすることができ、かつ下部電極に接して接着層を設ける必要をなくした信頼性の高い半導体記憶装置を提供することにある。

【0020】

【課題を解決するための手段】

（構成）上記課題を解決するために本発明は、次のような構成を採用している。即ち本発明（請求項1）は、半導体基板上に、トランジスタとキャパシタから構成されるメモリセルを、マトリクス状に配列したメモリセルアレイを有する半導体記憶装置において、前記基板上にエピタキシャル領域が前記アレイの行方向或いは列方向に連続的に形成され、このエピタキシャル領域上にエピタキシャル成長した下部電極、エピタキシャル成長したペロブスカイト型構造の誘電体膜、及び上部電極からなる

キャパシタが形成されてなり、前記下部電極が複数のキャパシタのプレート電極を兼ねることを特徴とする。

【0021】ここで、本発明の望ましい実施態様として次のものをあげることができる。

(1) エピタキシャル領域が絶縁体からなり、かつこの領域上には、隣り合ったメモリセルのキャパシタを含む複数のキャパシタが形成されること。

(2) メモリセルアレイは、DRAM或いはFRAMを構成するものである。

(3) 半導体基板上にエピタキシャル成長させることが可能な絶縁体の例として、 MgO 、 ZrO_2 （安定化ジルコニアを含む）、 CeO_2 などを用いる。

(4) 下部電極材料の例として、Pt、Au、Pd、Ru、Re、Ir、Rhなどの貴金属類、 $SrRuO_3$ などの酸化物導電体などを用いる。

(5) ペロブスカイト型構造の誘電体の例として、 $SrTiO_3$ 、 $BaTiO_3$ 、 $CaTiO_3$ 、 $PbTiO_3$ 、 $PbZrO_3$ 、及びこれらの固溶体を用いる。

(6) 上部電極材料の例として、下部電極と同様な材料、 TiN などの窒化物、Al、Cuなどの金属、あるいは $SrRuO_3$ などの酸化物導電体を用いる。

(7) 絶縁体のエピタキシャル領域を形成するには、トランジスタを半導体基板の上に形成した後、トランジスタ領域とは別の領域に、半導体基板から絶縁体を直接エピタキシャル成長させる。まず、最初にトランジスタ領域以外の領域の絶縁膜(SiO_2)をエッチングにより取り除き半導体基板を露出させる。さらに、上述したエピタキシャル成長が可能な絶縁体材料をエピタキシャル成長膜する。このとき、半導体基板と下部電極の間に形成される寄生容量を小さくするために、絶縁体材料として小さな誘電率を持つものを使用することが望ましく、また絶縁体の厚さもある程度以上厚いことが望ましい。

(8) 1つのエピタキシャル領域に複数のキャパシタを形成するには、まず1つのエピタキシャル成長した絶縁体領域の上に、エピタキシャル成長により下部電極及びペロブスカイト型構造の誘電体膜を形成し、更にその上に上部電極を形成した後、この上部電極をエッチングなどの方法で複数に分割すればよい。

(9) 隣り合ったメモリセルのキャパシタを1つのエピタキシャル領域に形成するためには、予めエピタキシャル領域の両側にトランジスタ領域を設け、それぞれの領域には隣り合ったメモリセルのトランジスタを形成しておく。しかる後に、上述した方法で1つのエピタキシャル領域上に複数のキャパシタを形成し、両側に形成されているトランジスタのそれぞれのソース・ドレイン領域から、エピタキシャル領域に形成された複数のキャパシタの電極に配線を設け、電気的に接続すれば良い。

(10) 絶縁体のエピタキシャル領域をメモリセルマトリクスの行方向或いは列方向に連続的に形成するには、予め同一の行或いは同一の列にある全てのメモリセルのトラ

ンジスタを同一の線上に配列しておき、隣り合うトランジスタ領域とトランジスタ領域の間には帯状の空間を設けておく。しかる後に、この帯状の空間に絶縁体のエピタキシャル領域を形成すれば良い。

【0022】また、このように作製した帯状のエピタキシャル領域上に沿って、下部電極材料をエピタキシャル成長させれば、行方向或いは列方向に連続して形成された下部電極を形成することができ、かつこの下部電極は、行方向或いは列方向に沿った配線を兼ねることができ。

【0023】また、本発明（請求項3）は、半導体基板上に、トランジスタとキャパシタから構成されるメモリセルを、マトリクス状に配列したメモリセルアレイを有する半導体記憶装置において、前記基板上に前記アレイの行方向或いは列方向に連続的にエピタキシャル成長されたバリア層と、このバリア層上にエピタキシャル成長された下部電極と、この下部電極上にエピタキシャル成長されたペロブスカイト型構造の誘電体膜と、この誘電体膜上に形成された上部電極とを具備してなり、前記下部電極が複数のキャパシタのプレート電極を兼ねることを特徴とする。

【0024】ここで、本発明の望ましい実施態様として次のものをあげることができる。

(1) 基板上にp型或いはn型の拡散層がアレイの行方向或いは列方向に連続的に形成され、この拡散層上にバリア層、下部電極、誘電体膜、及び上部電極が形成されること。

(2) 行方向或いは列方向に連続して形成された拡散層領域には、その行或いは列に属する全てのキャパシタが形成されること。

(3) メモリセルアレイは、DRAM或いはFRAMを構成するものである。

(4) 半導体基板上にエピタキシャル成長させることが可能な導電性のバリア層の例として、 $TiAlN$ を用いる。

(5) 下部電極材料の例として、Pt、Au、Pd、Ru、Re、Ir、Rhなどの貴金属類、 $SrRuO_3$ などの酸化物導電体、或いはこれらを組み合わせた積層膜などを用いる。

(6) ペロブスカイト型構造の誘電体の例として、 $SrTiO_3$ 、 $BaTiO_3$ 、 $BaSnO_3$ 、 $BaZrO_3$ 、 $BaHfO_3$ 、 $PbTiO_3$ 、 $PbZrO_3$ 、及びこれらの固溶体を用いる。

(7) 上部電極材料の例として、下部電極と同様な材料、導電性酸化物材料、 TiN などの窒化物、Al、Cuなどの金属、或いは $SrRuO_3$ などの酸化物導電体を用いる。

(8) キャパシタ用のエピタキシャル領域を形成するには、トランジスタを半導体基板の上に形成した後、トランジスタ領域とは別の領域に半導体基板を露出させ、不

純物拡散などにより導電性の拡散層を設け、この上に導電性のバリアを直接エピタキシャルさせる。まず、最初にトランジスタ領域以外の絶縁膜 (SiO_2) をエッチングにより取り除き半導体基板を露出させる。さらに、上述したエピタキシャル成長が可能な導電性バリア材料をエピタキシャル成膜する。このとき、半導体基板と下部電極の間の抵抗成分を小さくするために、導電性バリアとして小さな抵抗率を持つものを使用することが望ましい。

(9) 1つのエピタキシャル領域に複数のキャパシタを形成するには、まず1つのエピタキシャル成長した導電性バリア層上に、エピタキシャル成長により下部電極及びペロブスカイト型構造の誘電体膜を形成し、更にその上に上部電極を形成した後、この上部電極をエッチングなどの方法で複数に分割すればよい。

(10) 拡散層領域をメモリセルマトリクス之行方向或いは列方向に連続的に形成するには、予め同一の行或いは同一の列にある全てのメモリセルのトランジスタを同一の線上に配列しておき、隣り合うトランジスタ領域とトランジスタ領域の間には帯状の空間を設けておく。しかる後に、この帯状の空間に絶縁体のエピタキシャル領域を形成すれば良い。

【0025】また、このように作製した帯状の拡散層領域上に沿って、バリア層及び下部電極材料をエピタキシャル成長させれば、行方向或いは列方向に連続して形成された下部電極を形成することができ、かつこの下部電極は行方向或いは列方向に沿った配線を兼ねることができ。

(作用) 上述した手段を用いて、同一行或いは同一列に属するメモリセルのキャパシタを同一のエピタキシャル領域 (請求項1, 2では絶縁体、請求項3~5ではバリア層) に設けることによって、メモリセルを作製する上で生じる面積的な無駄を排除することができる。即ち、個々のキャパシタにそれぞれに対応するエピタキシャル領域を形成すると、エピタキシャル領域とトランジスタ領域の間、或いは隣り合うエピタキシャル領域の間を電気的かつ機械的に分離するために必要な領域が増え、結果的にメモリセルが占める面積が増大する。これに対して、同一エピタキシャル領域上に複数のキャパシタを作製する場合には、1つのエピタキシャル領域の寸法が大きくなるために、エピタキシャル領域を作製するために必要な加工が容易になると共に、1ビット当たりのメモリセルが占める面積を小さくすることができる。

【0026】また、上述したような手段を用いて、同一の行或いは同一の列上にあるメモリセルキャパシタを1つのエピタキシャル領域上に作製し、その下部電極に配線としての役割を兼ねさせることによって、請求項1, 2では下部電極と絶縁体の間の接着層を設ける必要がなくなる。接着層を設ける必要がない理由は、絶縁体エピタキシャル領域の上に下部電極を直接エピタキシャル成

長させることにより、密着強度が向上するためである。

【0027】さらに請求項3~5では、下部電極と基板の間の接着層を設ける必要がなくなる。接着層を設ける必要がない理由は、基板の上に TiAlN などのバリア層を介して Pt などの下部電極を直接エピタキシャル成長させることにより、下部電極の密着強度が向上するためである。

【0028】ここで、基板上に Pt などを直接形成すると、 Pt が基板 Si と反応してしまい Pt のシリサイド化が生じる。 TiAlN は基板とは反応せずかつ基板に密着性良く被着されるが、それ自体では酸化しやすいものである。しかし、 TiAlN の上に Pt をエピタキシャル成長すると、ペロブスカイト型酸化物の形成時の熱処理によっても TiAlN が酸化することはない。これにより、 Pt などの下部電極を基板と反応させることなく、基板に密着性良く形成することが可能となる。

【0029】また、同一の行上或いは同一の列上に連続的なエピタキシャル領域を設けることによって、この上のエピタキシャル成長した下部電極を途切れることなく連続的に形成することが可能となり、配線としての機能を兼ねさせることが可能になる。

【0030】このようなエピタキシャル成長した配線は、 Ti などの接着層を設ける必要が無いために、耐熱性、耐酸化性に優れており、この上にペロブスカイト型酸化物を形成しても下部電極或いは配線として劣化する心配がない。連続的にエピタキシャル成長した導電体を配線としても利用することにより、導電体の多結晶膜による配線と比べて、電気抵抗を小さくすることができ、キャパシタに充電するために必要な遅延時間を短くすることができ、メモリの高速動作が可能になる。また、エレクトロマイグレーションに対する耐性が向上し、配線としての長期信頼性が向上するというメリットも期待できる。

【0031】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

(第1の実施形態) 図1~3は本発明の第1の実施形態に係わるFRAMの基本構成を説明するためのもので、図1はトランジスタ部分を示す平面図、図2はキャパシタ及び配線部分を示す平面図である。また、図3は素子構造断面図であり、図1及び図2の矢視 $X-X'$ 断面に相当している。

【0032】まず、 $\text{Si}(100)$ の単結晶からなる基板11上に、MOSトランジスタを形成する。MOSトランジスタは、 Si 基板11上にソース・ドレイン領域12とチャンネル領域13を設けて、チャンネル領域13の上には薄い熱酸化膜 (ゲート酸化膜) を介してゲート電極14を設ける。図1に示した例では、ワード線 WL がゲート電極14を兼ねている。このとき、隣接するトランジスタ間には、厚い Si の酸化膜15を設けて電気的

に分離する。

【0033】次に、トランジスタ領域以外の領域に、キャパシタを作製するためのエピタキシャル領域を作製する。このためには、まずこの領域のSiの酸化膜をドライエッチングにより除去し、Si基板11を露出させる。露出したSi基板11に、MgOなどの酸化物21をスパッタリング法などの方法によりエピタキシャル成長させる。

【0034】このようなエピタキシャル領域は、隣り合うメモリセルのトランジスタとトランジスタの間に作製する。さらに、このエピタキシャル領域をy方向に関しては複数のメモリセルに沿うように連続的に形成する。

【0035】このエピタキシャル領域上に、例えばPtなどの貴金属類の膜を下部電極22としてエピタキシャル成長させる。この下部電極22をエッチングで加工することにより、x方向には2つの領域に分割する。一つは左側のメモリセルのキャパシタの電極として用い、もう一つは右側のメモリセルの電極として用いる。これにより、1つのエピタキシャル領域上にx方向に隣り合うメモリセルのキャパシタを形成することができる。

【0036】一方、y方向に関しては、連続的に形成したエピタキシャル領域上に下部電極22が途切れることのないように連続的に作製する。これにより、下部電極22をy方向の配線、この場合はプレート線として兼用することができる。

【0037】さらに、下部電極22上にペロブスカイト型酸化物（誘電体膜）として、例えばBaTiO₃膜23をエピタキシャル成長させる。このとき、下部電極22と誘電体膜23との格子定数の差を利用して、キュリー温度を高温側にシフトさせることが可能である。

【0038】次に、誘電体膜23の上に、Ptなどからなる上部電極24を作製し、エッチングにより加工する。さらに図2に示すように、トランジスタとソース・ドレイン領域とキャパシタの上部電極24を電気的に接続するためにA1などによる配線25を設ける。この配線と同時に、x方向のトランジスタ間を接続するための配線（ビット線BL）26を形成することが望ましい。なお、27は配線24、26とソース・ドレイン領域12とを接続するためのコンタクトホールを示している。

【0039】図4は、上述した製造方法により作製したメモリセル部分の等価回路を示している。この図は、マトリクス状に配列されたメモリセルのうち、n行m列目のメモリセル(MC_{n,m})とn行m+1列目のメモリセル(MC_{n,m+1})に関する等価回路である。

【0040】図4においては、一点鎖線で示した領域の内部が1つのメモリセルに相当する。これらメモリセルにおいては、1つのメモリセルが2つのトランジスタと2つのキャパシタにより構成されている。同一のメモリセル内の2つのトランジスタのゲート電極を、y方向に配列された共通のワード線(WLm)に接続する。トラ

ンジスタのソース・ドレインの一方は、x方向に配列されたビット線対(BLn及びBLn)に接続する。ソース・ドレインのもう一方を、それぞれ対応するキャパシタの上部電極に接続する。キャパシタの下部電極は、y方向に配列された共通のプレート線(PLm)に接続する。

【0041】図1から図3までのメモリセルの構造と、図4の等価回路を比較すると分るように、図4の破線で示した領域の内部が、図1から図3までに示したエピタキシャル領域に対応している。この図から明らかなように、1つのエピタキシャル領域には、隣り合うメモリセルMC_{n,m}及びMC_{n,m+1}の複数のキャパシタが作製されている。このような構成を採用することによって、個々のキャパシタを独立したエピタキシャル領域に作製する必要がなくなり、メモリセルの面積を小さくできることは明らかである。

【0042】図5は、図4に示したメモリセルを行方向に4つ、列方向に4つ、マトリクス状に配列した等価回路である。同一の行にあるメモリセルを、同一のビット線対(BLn, /BLn)に接続し、各ビット線対はそれぞれ対応するセンスアンプ(SA)に接続する。また、同一の列にあるメモリセルを、同一のワード線(WLm)及び同一のプレート線(PLm)に接続する。ワード線とプレート線はそれぞれのドライバに接続されている。

【0043】図5と、図4を比較すると分るように、破線で示した領域内部がエピタキシャル領域に形成されている。即ち、同一の列にあるメモリセルのキャパシタは、全て同一のエピタキシャル領域の内部に形成されている。従って、キャパシタの下部電極を兼ねるプレート線(PL)についても、プレート線ドライバに接続する最も端の部分を除いて同一エピタキシャル領域内のみに形成することが可能である。この下部電極兼プレート線は、エピタキシャル絶縁体の上にエピタキシャル成長しているので、Tiなどの接着層を設けなくても十分な密着強度が得られ、また、多結晶膜と比べて粒界がないため、電気抵抗が低く信頼性に優れることは明らかである。

【0044】このように本実施形態によれば、キャパシタの誘電体としてBaTiO₃等のエピタキシャル成長膜を利用することにより、キャパシタの誘電特性に優れ、バラ付きの少ない信頼性の高いメモリセルを作製することができる。しかも、基板Si上にMgOなどの酸化物をエピタキシャル成長させ、その上にPtなどの下部電極を形成しているため、下部電極を下地と密着性良くエピタキシャル成長できる。そして、1つのエピタキシャル領域に複数のキャパシタを形成する構造を採用しているため、1ビット当たりのメモリセルの面積を小さくすることが可能となり、高集積化に適している。また、下部電極と配線を兼ねた導電性の膜を同一のエピタ

キシャル領域に形成しているの、配線の抵抗が低く、かつエレクトロマイグレーション耐性に優れたメモリセルを実現することができる。

(第2の実施形態) 図6~8は本発明の第2の実施形態に係わるFRAMの基本構成を説明するためのもので、図6はトランジスタ部分を示す平面図、図7はキャパシタ及び配線部分を示す平面図である。また、図8は素子構造断面図であり、図6及び図7の矢視X-X'断面に相当している。

【0045】まず、第1の実施形態と同様に、Si (100) の単結晶からなる基板11上に、MOSトランジスタを形成する。このとき、隣接するトランジスタ間に厚いSiの酸化膜15を設けると共に、後述する隣接したエピタキシャル領域間にもこの酸化膜15を設ける。

【0046】次に、トランジスタ領域以外の領域に、キャパシタを作製するためのエピタキシャル領域を作製する。このためには、まずこの領域のSiの酸化膜をドライエッチングにより除去し、Si基板11を露出させる。露出したSi基板11に、PやBなどの不純物を拡散させて拡散層31を形成する。

【0047】このようなエピタキシャル領域は、隣り合うメモリセルのトランジスタとトランジスタの間に作製する。さらに、このエピタキシャル領域をy方向に関しては複数のメモリセルに沿うように連続的に形成する。

【0048】このエピタキシャル領域上に、例えばTiAlNからなるバリア層32をエピタキシャル成長し、さらにPtなどの貴金属類若しくはペロブスカイト型酸化物SrRuO₃などの膜を下部電極22としてエピタキシャル成長させる。このとき、y方向に関しては、連続的に形成したエピタキシャル領域上にバリア層32と下部電極22が途切れることのないように連続的に作成する。これにより、拡散層31、バリア層32、下部電極22をy方向の配線、この場合はプレート線として兼用することができる。

【0049】ここで、TiAlNバリア層31及びPt下部電極22は、それぞれ窒素雰囲気及びアルゴン雰囲気で形成した。TiAlNの形成条件は、まずSi基板を1% HF溶液にて3分間エッチング後、超純水にて30分間リンスする。ここで、HF洗浄後に、HClとH₂Oとの混合溶液に1分つける方法を用いることも可能である。

【0050】次に、成膜室内1×10⁻⁷Torr以下で850℃に加熱する。さらに、基板温度を600℃にし、イオンビーム反応性成膜にてTiAlNを成膜速度約0.03nm/分で成膜した。蒸着膜としてTiはEB蒸着、AlはK-cell (Knudsen cell) を用いた。また、N₂⁺イオンを100eVに加速して基板に照射した。一方、Ptは基板温度600℃にてrfマグネトロンスパッタリング法により作製した。

【0051】次に、再び先の第1の実施形態と同様に、

下部電極22上にペロブスカイト型酸化物(誘電体膜)として、例えばBaTiO₃膜23をエピタキシャル成長させ、この誘電体膜23の上に、Ptなどからなる上部電極24を作製し、エッチングにより加工する。さらに、配線25、26などを設けることによって、デバイス構造が完成する。

【0052】上述した製造方法により作製したメモリセル部分の等価回路は前記4に示したのと同じである。図6から図8までのメモリセルの構造と、図4の等価回路を比較すると分るように、図4の破線に示した領域の内部が、図6から図8までに示したエピタキシャル領域に対応している。この図から明らかなように、1つのエピタキシャル領域には、隣り合うメモリセルMC_{n,m}及びMC_{n,m+1}の複数のキャパシタが作製されている。このような構成を採用することによって、個々のキャパシタを独立したエピタキシャル領域に作製する必要がなくなり、メモリセルの面積を小さくできることは明らかである。

【0053】このように本実施形態によれば、キャパシタの誘電体としてBaTiO₃等のエピタキシャル成長膜を利用することにより、キャパシタの誘電特性に優れ、バラ付きの少ない信頼性の高いメモリセルを作製することができる。しかも、基板Si上にTiAlNバリア層を介してPt下部電極を成長することにより、下部電極を基板と反応させることなくエピタキシャル成長できる。そして、1つのエピタキシャル領域に複数のキャパシタを形成する構造を採用しているの、1ビット当たりのメモリセルの面積を小さくすることが可能となり、高集積化に適している。また、下部電極と配線を兼ねた導電性の膜を同一のエピタキシャル領域に形成しているの、配線の抵抗が低く、かつエレクトロマイグレーション耐性に優れたメモリセルを実現することができる。

【0054】なお、本発明は上述した実施形態に限定されるものではない。実施形態では、メモリセルアレイをFRAMとしたが、本発明はDRAMに適用することも可能である。また、第1の実施形態において半導体基板上にエピタキシャル成長させることが可能な絶縁体の例としてMgOを用いたが、この代わりにZrO₂(安定化ジルコニアを含む)やCeO₂などを用いてもよい。さらに、第2の実施形態においてバリア層としてTiAlNを用いたが、好ましい組成比(Al/Ti)は0.02以上0.20以下である。

【0055】また、下部電極材料としてPtの代わりに、Au, Pd, Ru, Re, Ir, Rhなどの貴金属類、SrRuO₃などの酸化物導電体、或いはこれらの組み合わせを用いてもよい。ペロブスカイト型構造の誘電体の例として、BaTiO₃の代わりに、BaZrO₃, BaSnO₃, BaHfO₃, SrTiO₃, PbTiO₃, PbZrO₃、及びこれらの固溶体を用いる

ことができる。上部電極材料として、Ptの代わりに、下部電極と同様な材料、TiNなどの窒化物、Al、Cuなどの金属、及びSrRuO₃などの酸化物導電体を用いることができる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0056】

【発明の効果】以上詳述したように本発明によれば、絶縁体のエピタキシャル領域をメモリセルアレイの行方向或いは列方向に連続的に形成し、このエピタキシャル領域上にペロブスカイト型構造の誘電体膜を有するキャパシタを形成し、下部電極に複数のキャパシタのプレート電極を兼ねさせているので、ペロブスカイト型酸化物をキャパシタ誘電体として用いた構造で、1ビット当たりのメモリセルの面積を小さくすることができ、かつ下部電極に接してバリア層や接着層を設ける必要がなくなり、半導体記憶装置の信頼性の向上をはかることが可能となる。

【図面の簡単な説明】

【図1】第1の実施形態に係わるFRAMのトランジスタ部分を示す平面図。

【図2】第1の実施形態におけるキャパシタ及び配線部分を示す平面図。

【図3】第1の実施形態におけるメモリセル構造を示す断面図。

【図4】第1の実施形態におけるメモリセル部を示す等

価回路図。

【図5】第1の実施形態におけるメモリセルをマトリクス配置した等価回路図。

【図6】第2の実施形態におけるメモリセル構造を示す断面図。

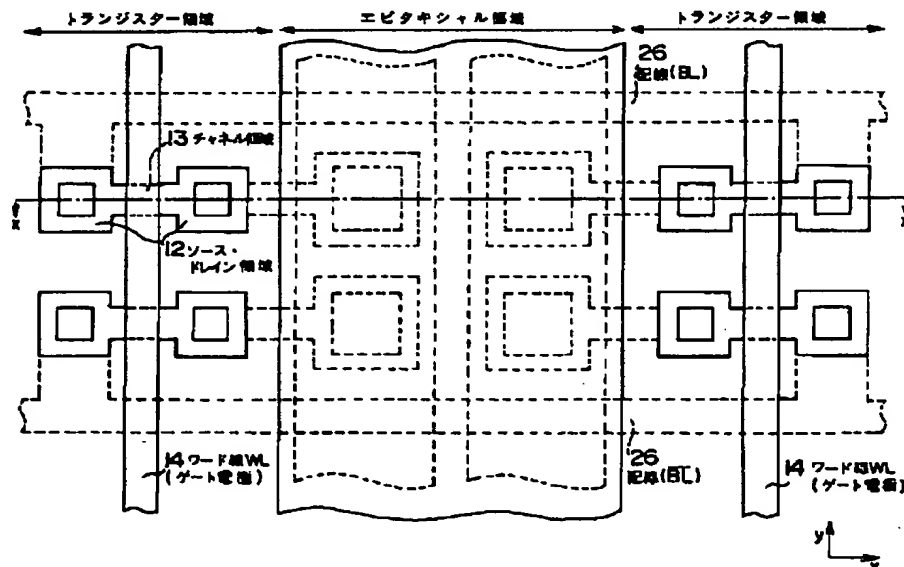
【図7】第2の実施形態におけるメモリセル部を示す等価回路図。

【図8】第2の実施形態におけるメモリセルをマトリクス配置した等価回路図。

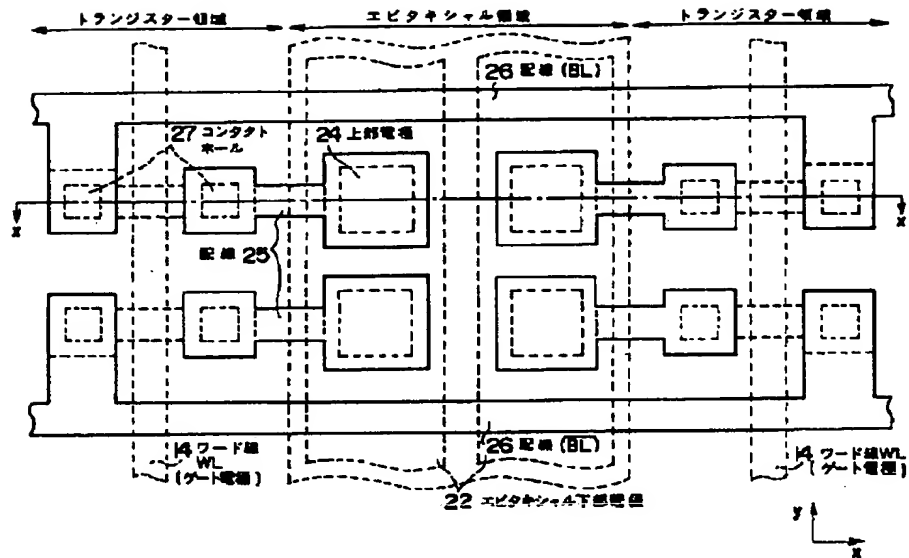
【符号の説明】

- 11…Si基板
- 12…ソース・ドレイン領域
- 13…チャネル領域
- 14…ゲート電極
- 15…Si酸化膜（素子分離酸化膜）
- 21…エピタキシャル酸化膜
- 22…下部電極
- 23…ペロブスカイト型酸化物（誘電体膜）
- 24…上部電極
- 25…Al配線
- 26…ビット線
- 27…コンタクトホール
- 31…拡散層
- 32…バリア層

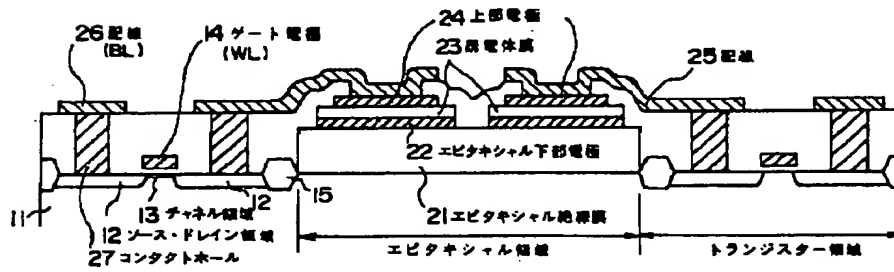
【図1】



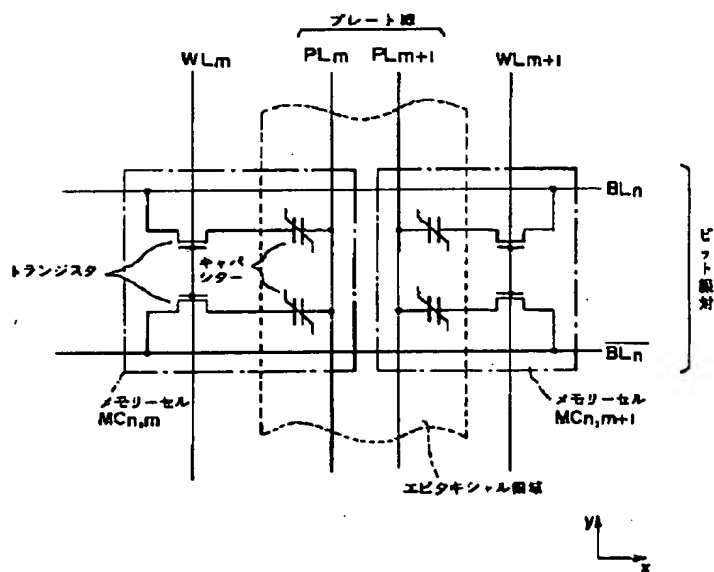
【図2】



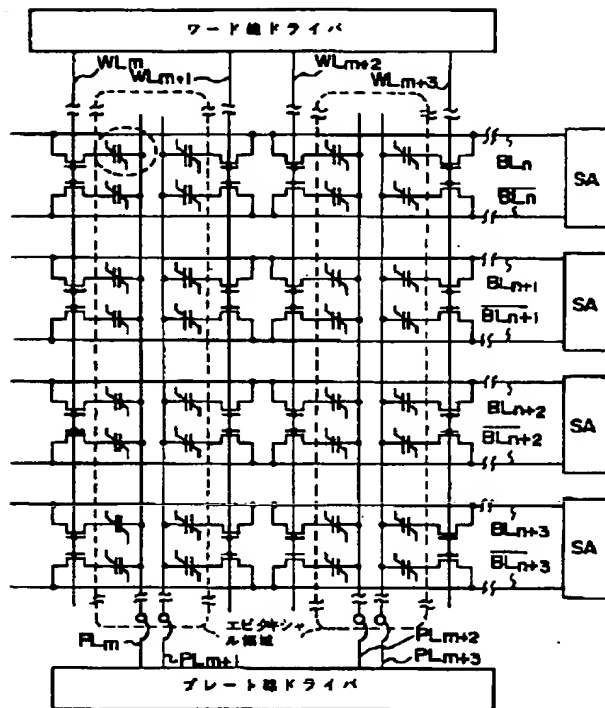
【図3】



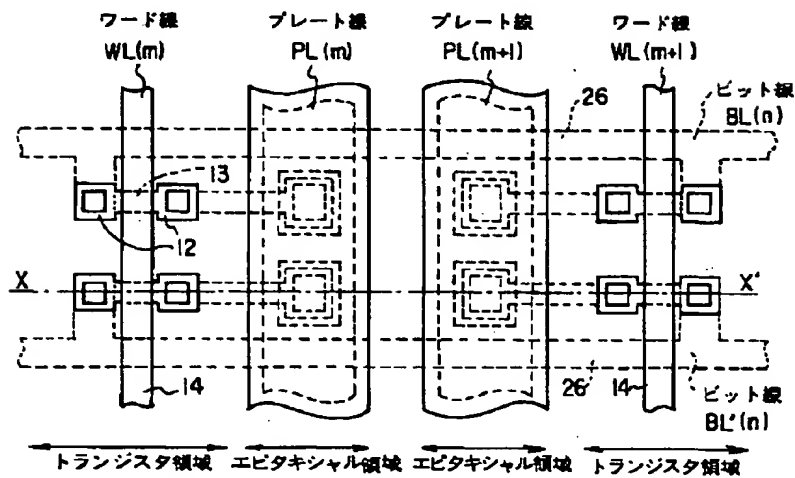
【図4】



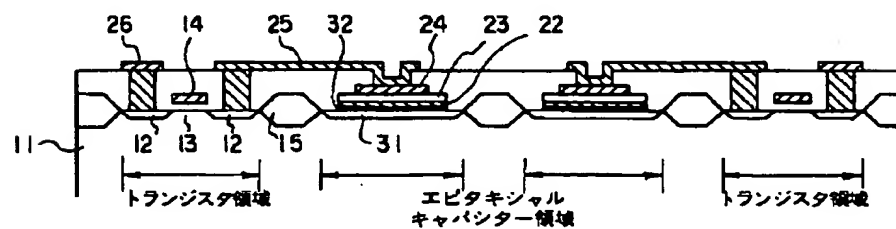
【図5】



【図6】



【図8】



【図7】

